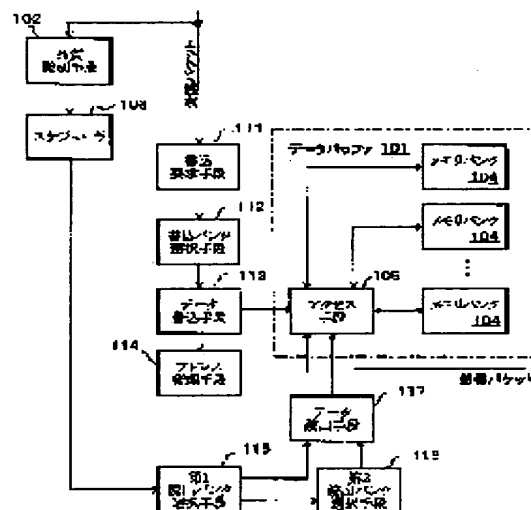


(11)Publication number : 2002-344502
(43)Date of publication of application : 29.11.2002

(21)Application number : 2001-143702 (71)Applicant : FUJITSU LTD
(22)Date of filing : 14.05.2001 (72)Inventor : SAITO SATORU

図 2-1-1 及び図 2-1-2 のハット・フィールドの断面プロット図



[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

03/10/29

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-344502
(P2002-344502A)

(43)公開日 平成14年11月29日(2002. 11. 29)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 4 L 12/56	2 0 0	H 0 4 L 12/56	2 0 0 C 5 K 0 3 0
13/08		13/08	5 K 0 3 4

審査請求 未請求 請求項の数5 O L (全 18 頁)

(21)出願番号 特願2001-143702(P2001-143702)

(22)出願日 平成13年5月14日(2001. 5. 14)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 齋藤 悟

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100072718

弁理士 古谷 史旺

最終頁に続く

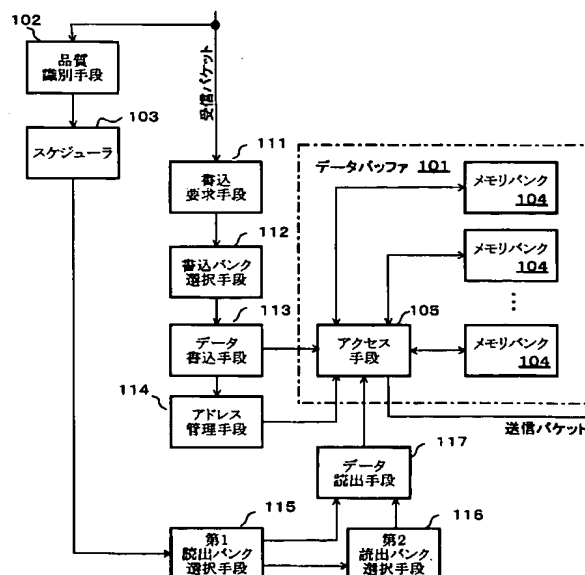
(54)【発明の名称】 パケットバッファ

(57)【要約】

【課題】 比較的低価格のメモリ素子を用いて、高速な処理サイクルと高いメモリ使用効率とを両立可能なパケットバッファを提供する。

【解決手段】 受信したパケットに対応するデータブロックについて書込要求を発行する書込要求手段111と、連続するN+1個の書込要求に応じて異なるメモリバンク104を選択する書込バンク選択手段112と、メモリサイクルごとに、最大N個の書込コマンドをアクセス手段105に入力するデータ書込手段113と、各メモリサイクルにおいて読出可能な読出バンクを選択する第1読出バンク選択手段115と、前のメモリサイクルで読み出せなかった読出要求に対応するメモリバンク104を読出バンクとして選択する第2読出バンク選択手段116と、選択された読出バンクに基づいて作成した読出コマンドをアクセス手段105に入力するデータ読出手段117とを備える。

請求項1および請求項2のパケットバッファの原理ブロック図



【発明の属する技術分野】本発明は、ルータやスイッチなど、パケット交換を行なう装置において、受信パケットを一時的に蓄積し、所定の規則に従って送出するパケットバッファに関するものであり、特に、各パケットに対して要求される転送品質に応じて、到着順とは異なる優先順位を転送順序に適用する制御を行なう技術に関する。インターネットの急速な普及に伴って、インターネットを利用したデータ通信サービスは飛躍的に発展しており、今や、IP (Internet Protocol) パケットに代表されるパケットによるデータ通信が、データ通信全体のトラフィックの主流となりつつある。また、インターネットを利用したデータ通信サービスの中でも、特に、音声や動画データなどの伝送などのようにリアルタイム性が強く要求されるサービスに対する需要の高まりは顕著である。

【0002】これに伴って、IPパケットにカプセル化された動画データや音声データなどを、高品質を保って伝送するための技術(QoS:Quality of Service)が要望されている。このためには、ルータやスイッチにおいて、各パケットに設定されたデータ転送品質に従って、受信したパケットをその到着順序とは異なる順序で送出する制御を行なう必要がある。

【0003】

【従来の技術】ルータやスイッチなど、パケット交換を行なう装置において、パケットバッファは、出力先の伝送経路を選択するためのハードウェアスイッチなどの前段に位置し、受信パケットを一時的に蓄積し、蓄積したパケットを所定の規則に従って送出する役割を果たしている。図13に、従来のパケットバッファの第1の構成例を示す。図13に示したパケットバッファにおいて、品質判定部411は、受信したパケットから品質クラスに関する情報を抽出し、この情報をスケジューラ412に通知するとともに、受信パケットを書込制御部413に渡す。スケジューラ412は、必要に応じて、受信パケットを共通バッファ414への書き込み単位に分割し、各書き込み単位についての書き込み要求を書込制御部413に入力する。このとき、スケジューラ412は、各受信パケットにアドレス管理用のリストを割り当て、このリストに、それぞれの受信パケットを分割して得られた複数の書き込み単位についての連鎖およびそれぞれの書き込みアドレスを保持している。また、スケジューラ412は、品質判定部411から通知された品質クラスに関する情報に基づいて、共通バッファ414に格納されている各受信パケットの読出順序を調整し、この読出順序に従って、これらの受信パケットの読み出し要求を読出制御部415に入力する。このとき、スケジューラ412は、各パケットに対応するリストを読出制御部415に指示し、これに応じて、読出制御部415は、指定されたリストに保持された各アドレスを順次に読出アドレスとして共通バッファ414に入力する。

【0004】このように、図13に示したパケットバッファにおいては、到着したパケットを共通バッファ414に書き込んでいき、スケジューラ412によって、要求される品質クラスに基づいて読出順序を決定し、この読出順序に従って、読出制御部415が各パケットを読み出すことにより、品質クラスに応じた転送制御を実現している。

【0005】また、一方、図14に、従来のパケットバッファの第2の構成例を示す。図14に示したパケットバッファは、各品質クラスに対応するFIFO421を備えている。このパケットバッファにおいて、品質判定部422は、受信パケットを品質クラスに応じたFIFO421に入力するとともに、スケジューラ423に、受信パケットを入力したFIFO421を示す情報を通知する。スケジューラ423は、各FIFO421に設定された優先順位に基づいて、これらのFIFO421からの読出をスケジューリングし、バッファ選択部424に選択すべきFIFO421を指示する。

【0006】このように、図14に示したパケットバッファにおいては、到着したパケットを品質クラスごとに設けたFIFOに分類して格納し、スケジューラ423からの指示に応じて、バッファ選択部424が指定されたFIFO421を選択し、該当するFIFO421に保持されたパケットを順次に送出することにより、品質クラスに応じた転送制御を実現している。

【0007】

【発明が解決しようとする課題】図13に示したパケットバッファにおいては、到着順にかかわらず優先順位に従って共通バッファ414からパケットが読み出されるので、共通バッファ414に指定される読出アドレスは当然ランダムである。また、共通バッファ414の空き領域をリストによって管理しながら受信パケットを書き込むので、書込アドレスもランダムとなる。したがって、データ通信速度の高速化に対応するために高速なルータを実現しようとすれば、当然ながら、共通バッファ414として、読み出し、書き込みともに高速なランダムアクセス性能を備えたメモリ素子が必要となる。つまり、共通バッファ414として採用するメモリ素子の価格によって、ルータの価格が制限され、また、メモリ素子の性能によって、ルータの性能が制限されてしまう。

【0008】一方、図14に示したパケットバッファにおいては、品質クラスごとに、パケットの到着頻度に応じたFIFO421を設ける必要がある。このため、パケットの到着頻度が低い品質クラスでは、メモリの使用効率が著しく低くなってしまう。また、読み出しと書き込みとを調整するために、各品質クラスごとのFIFO421とは別のバッファが必要である。これらのことから、図14に示したパケットバッファで実現可能な処理サイクルは、最大パケット到着頻度よりも遅くなってしまう。

う。

【0009】このように、従来の技術では、パケットバッファの構成としていずれの構成を採用した場合にも、高い転送能力を実現するためには、高いコストを支払う必要がある。本発明は、比較的低価格のメモリ素子を用いて、高速な処理サイクルと高いメモリ使用効率とを両立可能なパケットバッファを提供することを目的とする。

【0010】

【課題を解決するための手段】図1に、請求項1および請求項2のパケットバッファの原理ブロック図を示す。請求項1の発明は、受信パケットをデータバッファ101に書き込み、品質識別手段102によって識別された品質クラスに応じて、スケジューラ103がデータバッファ101に書き込まれたパケットについての読み出し順序を調整する構成のパケットバッファにおいて、データバッファ101は、同時にアクセス可能なM個のメモリバンク104と、所定のメモリサイクルごとに、所定の数Nまでの読出コマンドおよび書込コマンドに応じて、メモリバンク104に対するアクセスを実行するアクセス手段105とを備えた構成であり、受信したパケットを所定のデータ長に基づいて、少なくとも一つのデータブロックに分割し、各データブロックについて書込要求を発行する書込要求手段111と、連続するN+1個の書込要求に応じてそれぞれ異なるメモリバンク104を選択する書込バンク選択手段112と、メモリサイクルごとに、書込要求手段111によって発行された書込要求から順に最大N個の書込要求を選択し、対応するデータブロックをそれぞれについて書込バンク選択手段112によって選択されたメモリバンク104に書き込む旨の書込コマンドをアクセス手段105にデータ書込手段113と、各パケットに対応するデータブロックそれぞれについて、それぞれが書き込まれたメモリバンク104およびアドレスに関する情報を管理するアドレス管理手段114と、メモリサイクルごとに、スケジューラ103からN個までのデータブロックについての読出要求を受け取り、アドレス管理手段114に保持されたアドレスに関する情報に基づいて、読出要求で指定されたデータブロックが格納されたメモリバンク104の中から、同一のメモリサイクルにおいて読出可能なものを読出バンクとして選択する第1読出バンク選択手段115と、各メモリサイクルにおいてスケジューラ103から受信した読出要求のうち、そのメモリサイクルにおいて読み出しが実行されなかった読出要求を保持し、対応するメモリバンク104を次のメモリサイクルにおいて読出バンクとして選択する第2読出バンク選択手段116と、第1読出バンク選択手段115と第2読出バンク選択手段116とによって選択された読出バンクについての読出要求から順に所定の数Lまでの読出要求を選択し、それぞれ該当するメモリバンク104から

データブロックを読み出す旨の読出コマンドをアクセス手段105にデータ読出手段117とを備えたことを特徴とする。

【0011】請求項1の発明は、データ書込手段113とデータ読出手段117とにより、複数のメモリバンク104を分散して指定する書込コマンドおよび読出コマンドをアクセス手段105にすることにより、N個のデータブロックの書込処理とN個のデータブロックの読出処理とを同時に処理可能である。また、これにより、各メモリバンク104に対する書込コマンドあるいは読出コマンドの入力間隔を、スケジューラ103からの読出要求あるいは新たなパケットの到着に伴う書込要求の発生サイクルよりも長い時間とすることができるので、メモリバンク104を形成するメモリ素子の動作速度にかかわらず、読出要求および書込要求を漏れなく処理することが可能である。また、書込バンク選択手段112により、連続するデータブロックについてそれぞれ異なるメモリバンク104を書込バンクとして選択し、これらのメモリバンク104に振り分けて書き込むので、パケットバッファに格納されたパケットを書き込んだ順序とは異なる順序で読み出した場合においても、各メモリサイクルにおいて、同一のメモリバンク104に対する読み出しコマンドが連鎖的に重複することはない。

【0012】請求項2の発明は、請求項1に記載のパケットバッファにおいて、アクセス手段105は、パケットを分割する基準となるデータ長に相当するデータ長を持つパケットが受信される周期と同一のメモリサイクルごとに、読出コマンドおよび書込コマンドを実行する構成であることを特徴とする。請求項2の発明は、パケットを分割する基準となるデータ長のパケットが受信される周期に対応するメモリサイクルで、アクセス手段105がデータブロックの読み出しおよび書き込みを処理することにより、受信したデータを、その受信に要した時間内に、データバッファ101に書き込むことが可能であるので、パケットごとにランダムに読み出し順序をスケジューリングすることができる。

【0013】なお、請求項2に記載のパケットバッファにおいて、データ読出手段117は、読出要求から順に、定数1.5に所定の数Nを乗じた数を超えない最大の整数Lまでの読出要求を選択する構成とし、データバッファ101は、整数Lに、所定の数Nおよび定数1を加えた数M個のメモリバンク104を備えて構成すれば、メモリバンク104の使用効率を最大とすることができる。なぜなら、読み出しに使用されるメモリバンク104の数は、現メモリサイクルにおける読出要求に対応するN個に、前のメモリサイクルで重複したために、現メモリサイクルに振り替えられる読出要求の数である高々N/2個を加算した数で十分であり、また、書き込みに使用されるべきメモリバンク104の数は、前のメ

メモリサイクルにおいて書き込みに使用されたN個のメモリバンクを除いた上で、更に1個存在すればよいので、N+1個で十分であるからである。

【0014】図2に、請求項3の発明の原理ブロック図を示す。請求項3の発明は、請求項1に記載のケットバッファにおいて、書込バンク選択手段113は、過去N回の書込要求において書込バンクとして指定されたメモリバンク104のバンク番号を書込要求の履歴を表す情報として保持する履歴保持手段121と、書込要求の履歴を表す情報と、現在のメモリサイクルにおいてデータ読出手段117によってデータブロックの読み出しが行われるメモリバンク104を示すバンク番号とに基づいて、現在のメモリサイクルにおいてデータブロックの書き込みが可能なメモリバンク104を示すバンク番号を書込バンク候補として収集する候補収集手段122と、候補収集手段122によって収集された各書込バンク候補に、所定の規則に従って優先順位を設定する順位設定手段123と、優先順位に従って、書込バンク候補からN個のバンク番号を選択し、書込バンクを示す情報としてデータ書込手段113に inputs する優先選択手段124とを備えた構成であることを特徴とする。

【0015】請求項3の発明は、履歴保持手段121に保持された履歴情報に基づいて、候補収集手段122によって抽出された書込バンクの候補に、順位設定手段123によって優先順位を設定し、優先選択手段124において、適切な書込バンクを選択するための指標を与えることができる。また、図2に示したケットバッファにおいて、順位設定手段123は、書込要求ごとに、データバッファ101に備えられたメモリバンク104の数Mまでの自然数を巡回的に計数する巡回カウンタ125と、候補収集手段122によって収集された書込バンク候補から、履歴保持手段121に保持されたバンク番号以外であって、現在の読出バンクを示すバンク番号以外であるバンク番号を優先候補として選択する優先候補選択手段126と、巡回カウンタ125の計数で示されるバンク番号に基づいて、優先候補のいずれかに最高の優先順位を与える順位決定手段127とを備えた構成としてもよい。

【0016】このような構成を採用した場合は、優先候補選択手段126によって選択された優先候補の一方に、順位決定手段127が、巡回カウンタ125の計数値に応じて最高の優先順位を設定することにより、優先候補となるメモリバンク104が複数存在した場合に、最終的に書込バンクとして各メモリバンク104が選択される確率を平均化することができ、複数のメモリバンク104を平均的に使用することができる。

【0017】図3に、請求項4および請求項5の発明の原理ブロック図を示す。請求項4の発明は、請求項1に記載のケットバッファにおいて、データバッファ101の各メモリバンク104はDRAMから形成されてお

り、データバッファ101に inputs される書込コマンドおよび読出コマンドに基づいて、アクセスの対象となっていないメモリバンク104を検出するバンク検出手段131と、各メモリバンク104に対応し、バンク検出手段131によって当該メモリバンク104が検出されるごとに、当該メモリバンク104を形成する記憶領域のいずれかを順次に読出対象とし、この読出対象からデータブロックを読み出す旨の擬似読出コマンドを作成してデータバッファ101に inputs するコマンド発行手段132とを備えた構成であることを特徴とする。

【0018】請求項4の発明は、バンク検出手段131によって空いているメモリバンクとして各メモリバンク104が検出されるごとに、対応するコマンド発行手段132によって、当該メモリバンク104の格納領域を順次に指定してデータブロックの読み出しを行なうことにより、該当する格納領域に対するリフレッシュ操作を実行した場合と同等の記憶保持効果を得ることができる。

【0019】請求項5の発明は、請求項1に記載のケットバッファにおいて、データバッファ101から読み出されたデータブロックを読出要求に対応して保持する2次バッファ141と、2次バッファ141にデータブロックが保持されている読出要求について、それぞれ読出要求がスケジューラ103によって発行されてからの経過時間を監視し、所定の出力待機時間が経過したときに、当該読出要求の待機時間が終了した旨を示す待機完了通知を出力するタイマ142と、待機完了通知に応じて、該当する読出要求に対応して2次バッファ141に保持されたデータブロックを出力する出力制御手段143とを備えた構成であることを特徴とする。

【0020】請求項5の発明は、データバッファ101から読み出されたデータブロックを、一旦2次バッファ141に保持し、タイマ142からの通知に応じて、出力制御手段143によって出力することにより、各データブロックがデータバッファ101から読み出されたタイミングにかかわらず、そのデータブロックについての読み出し要求が発生した時点からの経過時間に応じてデータブロックを出力することができる。これにより、ケットの境界などにおいて、読み出しに使用されるメモリバンクが衝突し、データブロックの読み出しを次のメモリサイクルに振り替えた場合においても、各ケットを形成するデータブロックを連続的に出力することができる。

【0021】

【発明の実施の形態】以下、図面に基づいて、本発明の実施形態について詳細に説明する。図4に、本発明のケットバッファの実施形態を示す。図4に示したケットバッファは、メモリ制御部201を介して各メモリサイクルにおいて同時にアクセス可能な6個のメモリバンク202を備えており、これらのメモリバンク202に

は、それぞれ番号#0から#5が与えられている。このパケットバッファにおいて、品質識別部203は、書込処理部210に入力される受信パケットの品質クラスを識別し、この品質識別結果をリスト制御部204に通知する役割を果たしている。

【0022】また、図4において、リスト制御部204は、品質クラスに対応するキューごとにリストテーブルを備えており、各パケットについての品質識別結果に対応するリストテーブルに、そのパケットのデータが格納された格納場所に関する情報を格納していくことにより、各品質クラスごとのリストテーブルを作成し、これらのリストテーブルに基づいて、スケジューラ205に読出リクエストを入力する。

【0023】スケジューラ205は、リスト制御部204から受け取った読出リクエストに基づいて、パケットバッファに保持されたパケットの出力順序を決定し、この出力順序に従って、次に読み出すべきデータの格納場所を示すリストテーブルを読出処理部220に通知して、該当するパケットデータの読み出しを要求する。図4に示したパケットバッファにおいて、メモリ制御部201は、書込処理部210から書込コマンドとともにパケットデータを受け取って、指定されたメモリバンク202にそのパケットデータを書き込み、また、読出処理部220から受け取った読出コマンドに応じて、指定されたメモリバンク202に格納されたパケットデータを読み出し、レイテンシ制御部206を介して出力する。

【0024】図4に示した書込処理部210において、書込要求制御部211は、各メモリサイクルにおいて受信したパケットデータを必要に応じて所定のデータ長のデータブロックに分割し、これらのデータブロックごとに書込要求を発行して、対応するデータブロックとともに書込バンク決定部212に渡す。この書込バンク決定部212は、各メモリバンク202への書込履歴と、各メモリバンクに対する読出要求とに基づいて、後述する所定の規則に従って現メモリサイクルにおいてデータを書き込むメモリバンク202を決定し、リスト制御部204に通知する。また、図4に示した書込制御部213は、書込バンク決定部212から各データブロックとその書込先のメモリバンクを示す情報とを受け取り、各データブロックを対応するメモリバンク202に書き込む旨の書込コマンドを発行し、メモリ制御部201に入力する。

【0025】一方、図4に示した読出処理部220において、読出要求制御部221は、スケジューラ205から通知されたリストテーブルに基づいて、現メモリサイクルにおいて読み出すべきデータブロックについての読出要求を発行し、読出制御部222に入力する。この読出要求に応じて、読出制御部222は、読出要求で指定されたメモリバンク202の指定されたアドレスからデータブロックを読み出す旨の読出コマンドを発行し、メ

メモリ制御部201に入力する。

【0026】また、図4に示したパケットバッファにおいて、リフレッシュ制御部207は、書込処理部210および読出処理部220からメモリ制御部201に渡される書込コマンドおよび読出コマンドに基づいて、現メモリサイクルにおいて読み出しあるいは書き込みの対象となっていないメモリバンク202を検出し、該当するメモリバンク202の各アドレスに順次に読出コマンドを入力することにより、各メモリバンク202をリフレッシュする。

【0027】ここで、図1に示した各手段と、図4に示した各部との対応関係について説明する。図4に示したメモリ制御部201は、図1に示したアクセス手段105に相当し、また、図4に示したメモリバンク202は、図1に示したメモリバンク104に相当する。また、図1に示したデータバッファ101は、図4において、上述したメモリ制御部201と各メモリバンク202とから形成されている。

【0028】また、図1に示した品質識別手段102およびスケジューラ103は、図4に示した品質識別部203およびスケジューラ205にそれぞれ相当し、図1に示したアドレス管理手段114の機能は、図4に示したリスト制御部204によって果たされる。図1に示した書込要求手段111、書込バンク選択手段112およびデータ書込手段113は、図4に示した書込要求制御部211、書込バンク決定部212および書込制御部213にそれぞれ相当する。また、図1に示したデータ読出手段117は、図4に示した読出制御部222に相当し、図4に示した読出要求制御部221は、図1に示した第1読出バンク選択手段115および第2読出バンク選択手段116の機能を果たす。

【0029】次に、本発明にかかるパケットバッファの動作について大まかに説明する。図5に、本発明のパケットバッファの概略動作を説明する図を示す。図5において、符号Q、R、Sを付して示す送信パケットは、パケットバッファから出力されるパケットを示しており、また、符号A、B、C、Dを付して示す受信パケットは、上述した送信パケットQ、R、Sの出力と並行して、パケットバッファに格納されるパケットを示している。

【0030】また、図5において、符号①～⑤を付して示した各メモリサイクルは、最小パケット長、即ち、データブロック2個分のパケットを受信するために要する時間に一致している。以下では、各メモリサイクルにおいて、2つの読出コマンドに応じた読出処理と2つの書込コマンドに応じた書込処理とを並行して実行する動作について説明する。

【0031】ここで、図4に示したメモリバンク202(図5においては、それぞれに与えられた番号#0～#5を付して示した)には、メモリバンク(第0期)として

示したように、4つのパケットQ、R、S、Tをそれぞれ分割して得られたデータブロックが既に格納されている。このとき、図4に示したスケジューラ205により、パケットQ、R、Sの順に読み出す旨が指示された場合に、読出処理部220は、図5に示すように、各メモリサイクルにおいて、パケットQ、R、Sに対応するデータブロックについて、順次に読出コマンドを作成し、メモリ制御部201に入力する。例えば、図5において符号①で示したメモリサイクルでは、スケジューラ205から指定されたリストに従って、図4に示した読出要求制御部221により、パケットQに対応するデータブロックQ-1、Q-2に対する読出要求が発行される。これに応じて、読出制御部222により、データブロックQ-1、Q-2が格納されているメモリバンク#5およびメモリバンク#0に対する読出コマンドが作成され、メモリ制御部201に入力される。

【0032】このような読出処理と並行して、図4に示した書込処理部210は、新たに受信したパケットに対応するデータブロックを、そのメモリサイクルにおいて読出中であるメモリバンク以外の4つのメモリバンクから選択したメモリバンクに書き込んでいく。例えば、受信パケットAの入力に応じて、図4に示した書込要求制御部211は、この受信パケットAを2つのデータブロックA-1、A-2に分割し、それぞれに対応して書込要求を発行する。これに応じて、書込バンク決定部212は、読出中であるメモリバンク#5、#0以外の4つのメモリバンクから書き込み先のメモリバンク202(例えば、メモリバンク#1、#2)を選択する。この選択結果に基づいて、書込制御部213は、上述した2つのデータブロックをそれぞれメモリバンク#1、#2に書き込む旨の書込コマンドを作成し、メモリ制御部201に入力する。この書込コマンドに応じて、メモリ制御部201により、これらのデータブロックが該当するメモリバンク202にそれぞれ書き込まれる。同様に、パケットBに対応するデータブロックB-1、B-2、B-3が順次にメモリバンク#3、#5、#4に書き込まれる。このようにして、パケットCおよびパケットDに対応する各データブロックが各メモリバンク202に格納された様子を、図5にメモリバンク(第1期)として示した。

【0033】このように、各メモリサイクルにおいて読み出されるデータブロックが格納されたメモリバンク以外のメモリバンクに、そのメモリサイクルにおいて新たに到着した受信パケットに対応するデータブロックを書き込むことにより、個々のメモリサイクルにおいて、送信すべきパケットに対応するデータブロックの読み出しと受信パケットに対応するデータブロックの書き込みとを両立させることができる。

【0034】なお、このように、各メモリサイクルにおいて2個の書込コマンドを処理する場合、即ち、同時に処理する書き込みコマンドの数Nが2である場合は、図

4に示したように、6個のメモリバンク202を備えてパケットバッファを形成すれば、各メモリサイクルにおいて必要とされる読出バンクと書込バンクとの双方が確実に決定することが可能である。

【0035】次に、各データブロックの書き込み先となる書込バンクを適切に選択する方法について説明する。ここで、上述したようにして、読出動作の対象となるメモリバンクを避けて、書込バンクを単純に決定していった場合に発生することが予想される問題について説明する。

【0036】図6に、パケットバッファにおいて発生し得る問題を説明する図を示す。図6(a)に、メモリバンク#0～#3に、パケットA、B、C、D、E、F、G、X、Yをそれぞれ分割して得られたデータブロックが格納されている状態を示す。これらのパケットに設定された優先順位に基づいて、スケジューラ205により、図6(b)に示すように、パケットB、パケットA、パケットC、パケットX、パケットX、パケットYの順に読み出しが指示された場合に、図6において、符号①～⑦で示した各メモリサイクルにおいて、読出要求対象となるデータブロックを図6(c)に示す。このとき、図6(d)、(e)、(f)に示すように、符号②で示したメモリサイクル以降の各メモリサイクルにおいて、読出動作の対象となるメモリバンクが衝突し、次のメモリサイクルに処理が延期されるデータブロックが発生していることが分かる。

【0037】例えば、図6において符号②で示したメモリサイクルにおいて、スケジューラ205からの指示に従ってデータを読み出すためには、パケットBの3番目のデータブロックB-3とパケットAの最初のデータブロックA-1とを読み出す必要がある。しかしながら、これらのデータブロックは、ともにメモリバンク#0に格納されているので、この2つのデータブロックを同一のメモリサイクルで読み出すことはできない。このように、パケットの境界において発生した衝突は、図6(e)、(f)に示すように、データブロックA-1の処理を次のメモリサイクルに振り替えることにより、次のメモリサイクルにおいて正常に処理することが可能である。

【0038】しかしながら、パケットCやパケットXおよびパケットYのように、最初のデータブロックが書き込まれたメモリバンクと同一のメモリバンクに3番目のデータブロックが書き込まれたパケットを連続して読み出そうとすると、次のメモリサイクルに振り替えられるデータブロックが連鎖的に発生する。そして、ついには、図6(e)に示すように、そのメモリサイクルにおいて読み出すべき2つのデータブロック双方と、前のメモリサイクルから振り返られたデータブロックが格納されたメモリバンクが全て衝突し、図6(f)において、符号NGで示したように、次のメモリサイクルに振り替える

10

20

30

40

50

こともできなくなってしまう、データブロックY-1の読み出しを実行すべきタイミングが失われ、パケットYの送信が不可能となってしまう。

【0039】このような事態を未然に防ぐためには、単に、各メモリサイクルにおいて、書込先のメモリバンクが重複しないだけでなく、前のメモリサイクルにおける書込バンクを考慮して、現メモリサイクルにおいて書込バンクを決定する必要がある。図7に、書込バンク決定部の詳細構成を示す。

【0040】図7に示した書込バンク決定部212において、書込履歴レジスタ231は、直前のN個の書込要求に応じて、この書込バンク決定部212によって書き込み先として選択されたメモリバンク202を示す情報を保持する。一方、読出バンクレジスタ232は、現メモリサイクルにおいてデータブロックが読み出されるN個のメモリバンク202の番号を図4に示した読出処理部220から受け取って、これらのメモリバンク202を示す情報を保持する。

【0041】上述した書込履歴レジスタ231および読出バンクレジスタ232に保持された内容に基づいて、候補抽出部233は、現メモリサイクルにおいて書き込み先として選択することができるメモリバンク202の候補を抽出し、候補レジスタ234に抽出したメモリバンク202を示す情報を保持する。また、図7に示した書込バンク決定部212において、巡回カウンタ235は、M個の番号(例えば、番号#0から#5まで)をメモリサイクルごとに循環的に計数し、現メモリサイクルにおける計数値を順位演算部236に通知する。

【0042】この順位演算部236は、候補レジスタ234の内容と上述した巡回カウンタ235の計数値とに基づいて所定の演算を行ない、演算結果を優先順序を示す順位情報として順位レジスタ237に格納する。この順位情報に基づいて、デコード部238は、上述した候補レジスタ234の内容と書込履歴レジスタ231の内容との組み合わせに対して、所定のデコード処理を行うことによって書込先となるN個のメモリバンク202を決定し、これらのメモリバンク202を書込制御部213に通知するとともに、これらのメモリバンク202を示す履歴情報を書込履歴レジスタ231に格納する。

【0043】ここで、図7に示した各部と、図2に示した各手段との対応関係を説明する。図7に示した書込履歴レジスタ231は、図1に示した履歴保持手段121に相当するものである。また、図1に示した候補収集手段122は、図7に示した読出バンクレジスタ232と候補抽出部233と候補レジスタ234とから形成されている。

【0044】一方、図1に示した順位設定手段123の機能は、図7に示した巡回カウンタ235と、順位演算部236と、順位レジスタ237とによって果たされる。ここで、図7に示した巡回カウンタ235は、図1

に示した巡回カウンタ125に相当するものである。また、順位演算部236が、順位レジスタ237を介して順位情報をデコード部238に渡すことにより、順位演算部236によって、優先候補選択手段126および順位決定手段127の機能が果たされ、また、デコード部238によって、図1に示した優先選択手段124の機能が果たされる。

【0045】次に、この書込バンク決定部の動作を具体的な例を使って説明する。図8に、書込バンク決定部の動作を説明する図を示す。図9に、順位演算部の動作を説明する図を示す。図8において、書込履歴レジスタ231(図7参照)は、2つのレジスタWR1、WR2から形成されており、これらのレジスタWR1、WR2の各ビットは、図4に示した6つのメモリバンク202にそれぞれ対応している。また、図8において、読出バンクレジスタ(RR)232、候補レジスタ(WC)234、順位レジスタ(MR)237およびデコード結果(DC)の各ビットも同様に、上述した6つのメモリバンク202にそれぞれ対応している。

【0046】図8(a)に示すように、現メモリサイクルにおいてメモリバンク#0、#4からデータブロックを読み出し、前のメモリサイクルにおいてはメモリバンク#2、#3にデータブロックを書き込んでいた場合は、読出履歴レジスタRRの第0ビットおよび第4ビットに論理「1」がセットされ、また、書込履歴レジスタWR1の第2ビットおよび第3ビットに論理「1」がセットされる。なお、もう一つの書込履歴レジスタWR2は、前のメモリサイクルにおいて最初にデータブロックが書き込まれたメモリバンクを示しており、ここでは、第2ビットに論理「1」がセットされている。

【0047】この場合に、候補抽出部233は、例えば、書込履歴レジスタWR1と読出履歴レジスタRRの各ビットについて否定論理和演算を行なうことにより、メモリバンク#1、#5を候補として抽出し、候補レジスタWCの該当するビットに論理「1」をセットする。このようにして得られた候補レジスタWCの内容に基づいて、順位演算部236は、図9に示すように、それぞれ所定の規則に従って、巡回カウンタ235の計数値に対応する順位情報を算出する。

【0048】図9において、演算子Σは、図8に示した候補レジスタWCの各ビットを、指定された範囲で加算する演算を示している。なお、この演算子Σによって加算される範囲は、メモリバンク202に与えられた番号#0～#5を循環する数として捉えて決めている。すなわち、演算子Σを範囲「2-0」について実行する場合には、順位演算部236は、メモリバンク#2～#5に対応する候補レジスタWCの各ビットとともに、メモリバンク#0に対応するビットの値を加算して、順序情報の該当するビットを算出する。

【0049】したがって、例えば、図8(a)に示したよ

うな候補レジスタWCの内容に基づいて、順位演算部236は、図9に示したような順位情報P0～P5をそれぞれ算出し、巡回カウンタ235の計数値に応じて、該当する順位情報を順位レジスタMRに格納する。もちろん、順位演算部236により、巡回カウンタ235の計数値に対応する順位情報のみを、上述した規則に従って算出してよい。

【0050】例えば、巡回カウンタ235の計数値が数値「4」であった場合に、順位演算部236は、図8に示したように、最大の優先順位である優先順位「0」をメモリバンク#4、#5に与え、次に優先度の高い優先順位「1」をメモリバンク#0、#1に与える旨の順位情報P4を選択し、順位レジスタMRにセットする。これに応じて、デコード部238は、図8(a)に示すように、候補レジスタWCにおいて論理「1」がセットされた各ビットと、順位レジスタWRの対応するビットとを組み合わせ、各メモリバンク#0～#5に対応するデコード結果を作成する。

【0051】例えば、図8(a)に示したように、メモリバンク#5に対応してデコード結果「01」が得られ、メモリバンク#1に対応してデコード結果「10」が得られた場合に、デコード部238は、メモリバンク#5を優先順位「0」の書込バンクとして選択し、メモリバンク#1を優先順位「1」の書込バンクとして選択し、これらのメモリバンク202を示す情報を書込制御部213に通知する(図4参照)。

【0052】このように、候補抽出部233によって抽出された候補に対して、巡回カウンタ235の計数値に応じて変化する優先順位を与えることにより、各メモリバンク202が書込バンクとして選択される確率を平準化することができる。一方、図8(b)に示すように、候補レジスタWCにおいて論理「1」がセットされた各ビットと、順位レジスタWRの対応するビットとを組み合わせ得られるデコード結果において、優先順位「1」の書込バンクを示す組み合わせ「10」が存在しなかった場合に、デコード部238は、書込履歴レジスタWR2を参照し、この書込履歴レジスタWR2において論理「1」がセットされたビットに対応するメモリバンク(例えば、メモリバンク#3)を優先順位「1」の書込バンクとして選択する。

【0053】上述したようにして、前のメモリサイクルにおける書込バンクを考慮して、現メモリサイクルにおける書込バンクを決定することにより、一つのメモリサイクルにおいて同時に実行される書込コマンドの数N(上述した例ではN=2)に数値「1」を加えた数以上の連続する書込コマンドにおいてそれぞれ異なる書込バンクを指定して、データブロックを書き込むことができる。これにより、図6に示したような問題を回避し、各メモリサイクルにおいて読出が指示されたデータブロックを遅くとも次のメモリサイクルまでに確実に読み出すこと

が可能となる。

【0054】上述したようにして書込バンクを決定した後、デコード部238は、書込履歴レジスタWR1、WR2の全ビットをリセットした後、書込履歴レジスタWR1の第1ビットと第5ビットに論理「1」をセットするとともに、書込履歴レジスタWR2の第5ビットに論理「1」をセットして、次のメモリサイクルにおける動作に備える。

【0055】次に、各メモリバンクからデータブロックを読み出す動作について説明する。図10に、読出処理部およびレイテンシ制御部の詳細構成を示す。また、図11に、データブロックを読み出す動作を説明する図を示す。図10に示した読出要求制御部221において、要求振分部241は、スケジューラ205から受け取ったリストに基づいて、各メモリバンク202に対する読出要求を対応する要求保持部242に振り分けて格納する。また、図10に示した読出制御部222において、要求読込部243は、各メモリバンク202に対応する要求保持部242から、所定の規則に従って読出要求を読み込み、コマンド作成部244に渡す。一方、図10に示したレイテンシ制御部205において、レイテンシFIFO245は、FIFO管理部246からの指示に従って、メモリ制御部201から受け取ったデータブロックを所定の期間だけ保持した後、読出データとして出力する。

【0056】ここで、図10に示した各部と、図1および図3に示した各手段との対応関係について説明する。図10に示したコマンド作成部244は、図1に示したデータ読出手段117に相当するものである。また、図1に示した第1読出バンク選択手段115および第2読出バンク選択手段116の機能は、図10に示した要求振分部241、要求保持部242および要求読込部243によって果たされる。一方、図10に示したレイテンシFIFO245は、図3に示した2次バッファ141に相当するものである。また、図3に示したタイマ142および出力制御部143の機能は、図10に示したFIFO管理部246が、後述するようにして、レイテンシFIFO245の動作を制御することによって果たされる。

【0057】次に、図10および図11を参照して、スケジューラ205からの指示に応じて、各メモリバンクから適切なデータブロックを読み出す動作について説明する。図10に示した要求保持部242は、図11に示すように、各メモリバンク202(図4参照)に対応する6つの記憶領域をそれぞれ備えたFIFO0およびFIFO1から形成されている。また、図11において、レイテンシFIFO245は、例えば、インデックス0からインデックス7までの各インデックスに対応して、データブロック(図11において符号dataとして示した)とそのデータブロックを出力するまでの残り時間を示すレ

イテンシ情報（図 11 において符号 1at. として示した）とを格納する領域を備えている。また、図 10 に示した F I F O 管理部 246 は、図 11 に示す読出バッファを備えており、この読出バッファは、各メモリバンクから読み出されるデータブロックを格納すべき記憶領域を示すインデックスを保持している。

【0058】図 10 に示した要求振分部 241 は、まず、スケジューラ 205 から受け取ったリストに基づいて、各データブロックについての読出要求を作成するとともに、図 10 に示したレイテンシ制御部 206 の F I F O 管理部 246 から、レイテンシ F I F O 245 において、読出要求の対象となるデータブロックを格納すべき記憶領域を示すインデックスを受け取る。

【0059】ここで、F I F O 管理部 246 は、レイテンシ F I F O 245 に備えられた 8 個の記憶領域を循環的に管理している。また、この F I F O 管理部 246 は、出力待ちのデータブロックからなるキューの先頭が格納されている記憶領域を示すインデックス L H およびキューの末尾を示すインデックス L T を保持しており、新たな読出要求の対象となるデータブロックを格納すべき記憶領域を示すインデックスとして、上述したインデックス L T をインクリメントすればよい。また、このとき、F I F O 管理部 246 は、要求振分部 241 に渡したインデックスに対応するレイテンシ情報として、所定の初期値（例えば、数値「6」）を格納する。次に、対象となるデータブロックが格納されているメモリバンク 202 に応じて、図 11 に示した F I F O 1 の対応する記憶領域にそのデータブロックのアドレスとインデックスとを格納する。

【0060】例えば、図 11 に示すように、新たな読出要求を格納すべき F I F O 1 の記憶領域（図 11 において網掛けを付して示す）に、既に別の読出要求が格納されている場合は、その読出要求を F I F O 0 の対応する記憶領域（図 11 において別の種類の網掛けを付して示す）に格納した上で、新たな読出要求を F I F O 1 に格納する。これにより、図 11 に示したリストに従って、F I F O 1 のメモリバンク # 4 に対応する記憶領域に格納されていたアドレス Ad1 とインデックス 7 とが、F I F O 0 のメモリバンク # 4 に対応する記憶領域に移され、代わりに、アドレス Ad2 とインデックス 2 との組み合わせが格納される。

【0061】このように、F I F O 0 に読出要求が格納されている場合に、図 10 に示した要求読込部 243 は、各メモリサイクルにおいて、まず、F I F O 0 に格納されている読出要求を優先的に読み込み、次いで、上述した読出要求とは異なるメモリバンクに対応して F I F O 1 に格納されている読出要求を読み込んで、コマンド作成部 244 に渡す。

【0062】例えば、図 11 に示したように、F I F O

1 のメモリバンク # 0 に対応する記憶領域にアドレス Ad0 とインデックス 1 とが格納されていた場合は、要求読込部 243 により、この記憶領域に格納された読出要求が、上述した F I F O 0 のメモリバンク # 4 に対応する記憶領域に格納された読出要求とともに読み込まれ、これらの読出要求に応じて、コマンド作成部 244 により、それぞれ対応する読出コマンドが作成されて、メモリ制御部 201 に入力される。

【0063】また、このとき、要求読込部 243 は、F I F O 0 および F I F O 1 から各メモリバンクのアドレスとともに読み込んだインデックスを、F I F O 管理部 246 に備えられた読出バッファに、メモリバンクに対応して格納する。このようにして読出バッファに格納されたインデックスに基づいて、F I F O 管理部 246 は、該当するメモリバンク（例えば、メモリバンク # 0 およびメモリバンク # 4）から読み出されたデータ（図 11 において、符号 Da6 および符号 Da4 を付して示す）を格納すべき記憶領域をレイテンシ F I F O 245 に指示する。これに応じて、メモリ制御部 201 によって読み出されたデータ Da6、Da4 は、図 11 に示すように、それぞれインデックス 1 およびインデックス 7 に対応して格納される。

【0064】上述したようにして、メモリ制御部 201 によって実際にデータブロックが読み出されるタイミングにかかわらず、スケジューラ 205 からリストを受け取った際に決定したインデックスに従って、読出要求の対象となるデータブロックをレイテンシ F I F O 245 に格納することができる。このようにしてレイテンシ F I F O 245 に格納されたデータブロックは、次の手順に従って、順次に出力される。

【0065】F I F O 管理部 246 は、所定の時間ごとに、インデックス L H に対応するレイテンシ情報を参照し、レイテンシ情報が数値「0」に等しい場合は、このインデックス L H に対応して格納されたデータブロックを出力する旨をレイテンシ F I F O 245 に指示する。これに応じて、レイテンシ F I F O 245 から、例えば、図 11 に示すように、インデックス 3 に対応する記憶領域に格納されたデータブロック Da0 が出力される。

【0066】次いで、F I F O 管理部 246 は、インデックス L H をインクリメントするとともに、各インデックスに対応するレイテンシ情報をデクリメントして、次の処理に備える。このような手順を実行することにより、読出要求の発生と同時に初期値が設定されたレイテンシ情報を所定の時間ごとに減算していき、読出要求の発生からシステムレイテンシに相当する時間が経過したときに、該当するデータブロックをレイテンシ F I F O 245 から出力させることができる。

【0067】これにより、例えば、送信パケットの境界において読出先のメモリバンクの衝突が発生したために、一方のデータブロックについての読出処理の実行を

10

20

30

40

50

次のメモリサイクルに振り替えた場合においても（図 6 参照）、そのデータブロックを、読出要求の発生からシステムレイテンシに相当する時間が経過したときに出力することができる。したがって、メモリバンクの衝突の発生にかかわらず、各パケットを確実に連続的に出力することができる。

【0068】上述したようにして、新たなパケットの受信に応じた書込要求およびスケジューラ 205 からの読出要求を処理していくことにより、連続する複数の読出コマンドあるいは書込コマンドをそれぞれ異なるメモリバンクに対して発行する制御を実現することができる。これにより、各メモリバンクに対する読出コマンドあるいは書込コマンドを入力する周期、即ち、メモリサイクルが、各データブロックについての読出要求あるいは書込要求が発生する周期よりも長い時間であるようなメモリ素子を用いて、パケットバッファに備えられたスケジューラ 205 から発行される読出要求および新たなパケットの受信に伴う書込要求を漏れなく処理することができる。したがって、データバッファ 100 を構成するメモリ素子として、幅広く市販されている DRAM などの低価格の素子を利用することが可能隣、パケットバッファの低価格化を進めることができる。

【0069】次に、DRAM を利用する際に必要となるリフレッシュ操作について説明する。図 12 に、リフレッシュ制御部の詳細構成を示す。図 12 に示したリフレッシュ制御部 207 において、読出バンクレジスタ (RB) 251 は、読出処理部 220 から現メモリサイクルでデータブロックの読出を行うメモリバンク 202 を示す情報を受け取り、対応するビットに論理「1」をセットする。また、書込バンクレジスタ (WB) 252 は、書込処理部 210 から現サイクルにおいてデータブロックを書き込むメモリバンク 202 を示す情報を受け取り、対応するビットに論理「1」をセットする。バンク抽出部 253 は、例えば、読出バンクレジスタ 251 および書込バンクレジスタ 252 の各ビットについて否定論理和演算を実行し、この演算結果をリフレッシュバンクレジスタ (RF) 254 の対応するビットに論理「1」をセットすることにより、現メモリサイクルにおいて、読み出しも書き込みも行なわれないメモリバンク 202 を抽出し、コマンド発行部 255 に渡す。コマンド発行部 255 は、リフレッシュバンクレジスタ 254 において論理「1」がセットされたビットに対応するメモリバンク 202 について、対応するアドレスカウンタ (AC) 256 の計数値に対応するアドレスからデータブロックを読み出す旨の読み出しコマンドを発行し、メモリ制御部 201 に入力する。

【0070】ここで、図 12 に示した各部と、図 3 に示した各手段との対応関係を説明する。図 12 に示した読出バンクレジスタ (RB) 251、書込バンクレジスタ (WB) 252 およびバンク抽出部 253 は、図 3 に示

したバンク検出手段 131 に相当する。一方、図 3 に示したコマンド発行手段 132 の機能は、リフレッシュバンクレジスタ (RF) 254 およびアドレスカウンタ (AC) 256 の内容に応じて、コマンド発行部 255 が、後述するようにして、読出コマンドを発行することにより果たしている。

【0071】次に、読出コマンドを発行することにより、メモリバンクをリフレッシュする動作について説明する。各メモリバンク 202 が、それぞれが複数の格納領域から形成されている複数の内部バンクから形成されている場合に、アドレスカウンタ 256 は、例えば、対応するメモリバンク 202 がリフレッシュバンクとして抽出されるごとに、内部バンクの数までを循環的に計数するバンクカウンタ（図示せず）と、このバンクカウンタの桁上がり信号に応じて計数値をインクリメントし、各内部バンクに備えられた格納領域の数までを循環的に計数する行カウンタ（図示せず）とを備え、このバンクカウンタおよび行カウンタの計数値の組み合わせをリフレッシュ対象のアドレスとしてコマンド発行部 255 に渡す。これに応じて、コマンド発行部 255 は、リフレッシュバンクとして抽出されたメモリバンク 202 の該当するアドレスからデータブロックを読み出す旨の読出コマンドを発行し、この読出コマンドに応じて、メモリ制御部 201 により、該当するデータブロックが読み出される。なお、このようにして読み出されたデータブロックは、図 4 に示したレイテンシ制御部 206 には送られず、そのまま廃棄される。

【0072】このようにして、各メモリバンクがリフレッシュバンクとして抽出されるごとに、そのメモリバンクの各格納領域から順次にデータブロックを読み出すことができる。一般に知られているように、DRAM からデータを読み出す操作を実行することにより、該当するアドレスに対するリフレッシュ操作と同等の効果を得ることができる。また、上述した書込バンク決定部 212 の処理により、各パケットを形成するデータブロックは、複数のメモリバンク 202 に分散して書き込まれているので、図 12 に示したバンク抽出部 253 によって、各メモリバンク 202 がリフレッシュバンクとして抽出される確率は、ほぼ均等であることが期待できる。

【0073】したがって、上述したようにして、現メモリサイクルにおいて空いているメモリバンクから擬似的にデータブロックを読み出す操作を行なっていくことにより、書込処理および読出処理を遅滞させることなく、DRAM に保持されたデータを保持することができる。これにより、案化に市販されている DRAM を利用して、高速に動作可能なパケットバッファを構成することが可能となり、パケットバッファの製造コストを削減することができる。

【0074】以上の説明に関して、更に、以下の各項を開示する。

(付記1) 受信パケットをデータバッファ101に書き込み、品質識別手段102によって識別された品質クラスに応じて、スケジューラ103がデータバッファ101に書き込まれたパケットについての読み出し順序を調整する構成のパケットバッファにおいて、データバッファ101は、同時にアクセス可能なM個のメモリバンク104と、所定のメモリサイクルごとに、所定の数Nまでの読出コマンドおよび書込コマンドに応じて、前記メモリバンク104に対するアクセスを実行するアクセス手段105とを備えた構成であり、受信したパケットを所定のデータ長に基づいて、少なくとも一つのデータブロックに分割し、各データブロックについて書込要求を発行する書込要求手段111と、連続するN+1個の書込要求に応じてそれぞれ異なる前記メモリバンク104を選択する書込バンク選択手段112と、前記メモリサイクルごとに、前記書込要求手段111によって発行された書込要求から順に最大N個の書込要求を選択し、対応するデータブロックをそれぞれについて前記バンク選択手段112によって選択された前記メモリバンク104に書き込む旨の書込コマンドを前記アクセス手段105に入力するデータ書込手段113と、各パケットに対応するデータブロックそれぞれについて、それぞれが書き込まれた前記メモリバンク104およびアドレスに関する情報を管理するアドレス管理手段114と、メモリサイクルごとに、スケジューラ103からN個までのデータブロックについての読出要求を受け取り、前記アドレス管理手段114に保持されたアドレスに関する情報に基づいて、前記読出要求で指定されたデータブロックが格納された前記メモリバンク104の中から、同一のメモリサイクルにおいて読出可能なものを読出バンクとして選択する第1読出バンク選択手段115と、各メモリサイクルにおいて前記スケジューラ103から受信した読出要求のうち、そのメモリサイクルにおいて読み出しが実行されなかった読出要求を保持し、対応するメモリバンク104を次のメモリサイクルにおいて読出バンクとして選択する第2読出バンク選択手段116と、前記第1読出バンク選択手段115と前記第2読出バンク選択手段116とによって選択された読出バンクについての読出要求から順に所定の数Lまでの読出要求を選択し、それぞれ該当するメモリバンク104からデータブロックを読み出す旨の読出コマンドを前記アクセス手段105に入力するデータ読出手段117とを備えたことを特徴とするパケットバッファ。

【0075】(付記2) アクセス手段105は、パケットを分割する基準となるデータ長に相当するデータ長を持つパケットが受信される周期と同一のメモリサイクルごとに、読出コマンドおよび書込コマンドを実行する構成であることを特徴とする付記1記載のパケットバッファ。

(付記3) データ読出手段117は、読出要求から順

に、定数1・5に所定の数Nを乗じた数を超えない最大の整数Lまでの読出要求を選択する構成であり、データバッファ101は、前記整数Lに、前記所定の数Nおよび定数1を加えた数M個のメモリバンク104を備えた構成であることを特徴とする付記2に記載のパケットバッファ。

【0076】(付記4) 書込バンク選択手段113は、過去N回の書込要求において書込バンクとして指定されたメモリバンク104のバンク番号を書込要求の履歴を表す情報として保持する履歴保持手段121と、前記書込要求の履歴を表す情報と、現在のメモリサイクルにおいてデータ読出手段117によってデータブロックの読み出しが行われるメモリバンク104を示すバンク番号とに基づいて、前記現在のメモリサイクルにおいてデータブロックの書き込みが可能なメモリバンク104を示すバンク番号を書込バンク候補として収集する候補収集手段122と、前記候補収集手段122によって収集された各書込バンク候補に、所定の規則に従って優先順位を設定する順位設定手段123と、前記優先順位に従って、前記書込バンク候補からN個のバンク番号を選択し、書込バンクを示す情報としてデータ書込手段113に入力する優先選択手段124とを備えた構成であることを特徴とする付記1に記載のパケットバッファ。

【0077】(付記5) 順位設定手段123は、書込要求ごとに、データバッファ101に備えられたメモリバンク104の数Mまでの自然数を巡回的に計数する巡回カウンタ125と、候補収集手段122によって収集された書込バンク候補から、履歴保持手段121に保持されたバンク番号以外であって、現在の読出バンクを示すバンク番号以外であるバンク番号を優先候補として選択する優先候補選択手段126と、前記巡回カウンタ125の計数で示されるバンク番号に基づいて、前記優先候補のいずれかに最高の優先順位を与える順位決定手段127とを備えた構成であることを特徴とする付記4に記載のパケットバッファ。

【0078】(付記6) データバッファ101の各メモリバンク104はDRAMから形成されており、前記データバッファ101に入力される書込コマンドおよび読出コマンドに基づいて、アクセスの対象となっていないメモリバンク104を検出するバンク検出手段131と、前記各メモリバンク104に対応し、前記バンク検出手段131によって当該メモリバンク104が検出されるごとに、当該メモリバンク104を形成する記憶領域のいずれかを順次に読出対象とし、この読出対象からデータを読み出す旨の擬似読出コマンドを作成して前記データバッファ101に入力するコマンド発行手段132とを備えた構成であることを特徴とする付記1に記載のパケットバッファ。

【0079】(付記7) データバッファ101から読み出されたデータを読出要求に対応して保持する2次バッ

ファ 141 と、前記 2 次バッファ 141 にデータが保持されている読出要求について、それぞれ読出要求がスケジューラ 103 によって発行されてからの経過時間を監視し、所定の出力待機時間が経過したときに、当該読出要求の待機時間が終了した旨を示す待機完了通知を出力するタイマ 142 と、前記待機完了通知に応じて、該当する読出要求に対応して 2 次バッファ 141 に保持されたデータを出力する出力制御手段 143 とを備えた構成であることを特徴とする付記 1 に記載のバッファ。

【0080】

【発明の効果】以上に説明したように、請求項 1 の発明によれば、N 個のデータブロックの書込処理と N 個のデータブロックの読出処理とを同時に処理可能であり、また、メモリバンクを形成するメモリ素子の動作速度にかかわらず、読出要求および書込要求を漏れなく処理することが可能である。また、連続するデータブロックについてそれぞれ異なるメモリバンクに振り分けて書き込むので、バッファに格納されたブロックを書き込んだ順序とは異なる順序で読み出した場合においても、各メモリサイクルにおいて、同一のメモリバンクに対する読み出しコマンドが連鎖的に重複する事態を回避することができる。

【0081】また、請求項 2 の発明によれば、受信したデータを、その受信に要した時間内に、データバッファに書きこむことが可能であるので、ブロックごとにランダムに読み出し順序をスケジューリングすることができる。なお、請求項 2 に記載のバッファにおいて、付記 3 に記載した構成を採用することにより、メモリバンクの使用効率を最大とすることができる。

【0082】更に、請求項 3 の発明によれば、書込バンクの候補に、所定の規則に従って優先順位を設定することにより、適切な書込バンクを選択するための指標を与えることができる。また、優先候補となるメモリバンクが複数存在した場合に、巡回カウンタの計数値に応じて最優先候補を選択する構成を採用することにより、最終的に書込バンクとして各メモリバンクが選択される確率を平均化することができ、複数のメモリバンクを平均的に使用することができる。

【0083】また、請求項 4 の発明によれば、空いているメモリバンクの格納領域を順次に指定してデータブロックの読み出しを行なうことにより、該当する格納領域に対するリフレッシュ操作を実行した場合と同等の記憶保持効果を得ることができる。一方、請求項 5 の発明によれば、各データブロックがデータバッファから読み出されたタイミングにかかわらず、そのデータブロックについての読み出し要求が発生した時点からの経過時間に応じてデータブロックを出力することができるので、ブロックの境界などにおいて、読み出しに使用されるメモリバンクが衝突し、データブロックの読み出しを次のメ

モリサイクルに振り替えた場合においても、各ブロックを形成するデータブロックを連続的に出力することができる。

【図面の簡単な説明】

【図 1】請求項 1 および請求項 2 のバッファの原理ブロック図である。

【図 2】請求項 3 の発明の原理ブロック図である。

【図 3】請求項 4 および請求項 5 の発明の原理ブロック図である。

10 【図 4】本発明のバッファの実施形態を示す図である。

【図 5】本発明のバッファの概略動作を説明する図である。

【図 6】バッファにおいて発生し得る問題を説明する図である。

【図 7】書込バンク決定部の詳細構成を示す図である。

【図 8】書込バンク決定部の動作を説明する図である。

【図 9】順位演算部の動作を説明する図である。

20 【図 10】読出処理部およびレイテンシ制御部の詳細構成を示す図である。

【図 11】データブロックを読み出す動作を説明する図である。

【図 12】リフレッシュ制御部の詳細構成を示す図である。

【図 13】従来のバッファの第 1 の構成例を示す図である。

【図 14】従来のバッファの第 2 の構成例を示す図である。

【符号の説明】

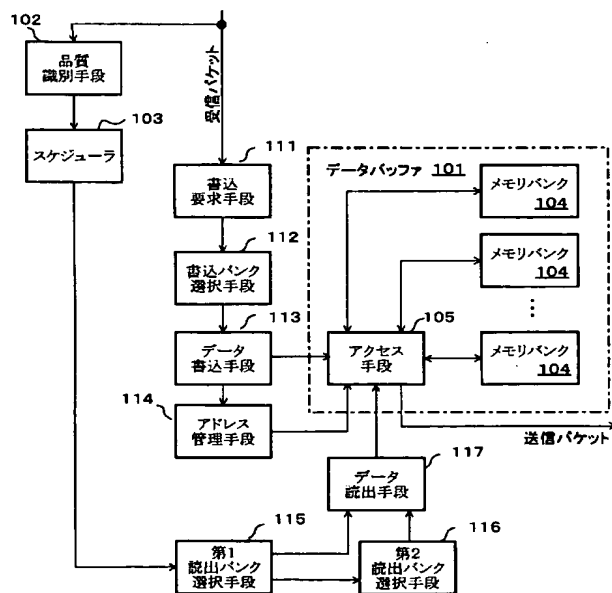
- 30 101 データバッファ
- 102 品質識別手段
- 103 スケジューラ
- 104 メモリバンク
- 105 アクセス手段
- 111 書込要求手段
- 112 書込バンク選択手段
- 113 データ書込手段
- 114 アドレス管理手段
- 115 第 1 読出バンク選択手段
- 40 116 第 2 読出バンク選択手段
- 117 データ読出手段
- 121 履歴保持手段
- 122 候補収集手段
- 123 順位設定手段
- 124 優先選択手段
- 125 巡回カウンタ
- 126 優先候補選択手段
- 127 順位決定手段
- 131 DRAM
- 50 131 バンク検出手段

25

132 バンク検出手段
 132 コマンド発行手段
 133 コマンド発行手段
 134 擬似読出手段
 201 メモリ制御部
 202 メモリバンク
 203 品質識別部
 204 リスト制御部
 205 スケジューラ
 206 レイテンシ制御部
 210 書込処理部
 211 書込要求制御部
 212 書込バンク決定部
 213 書込制御部
 220 読出処理部
 221 読出要求制御部
 222 読出制御部
 231 書込履歴レジスタ
 232 読出バンクレジスタ
 233 候補抽出部
 234 候補レジスタ
 235 巡回カウンタ
 236 順位演算部

【図1】

請求項1および請求項2のバッファの原理ブロック図

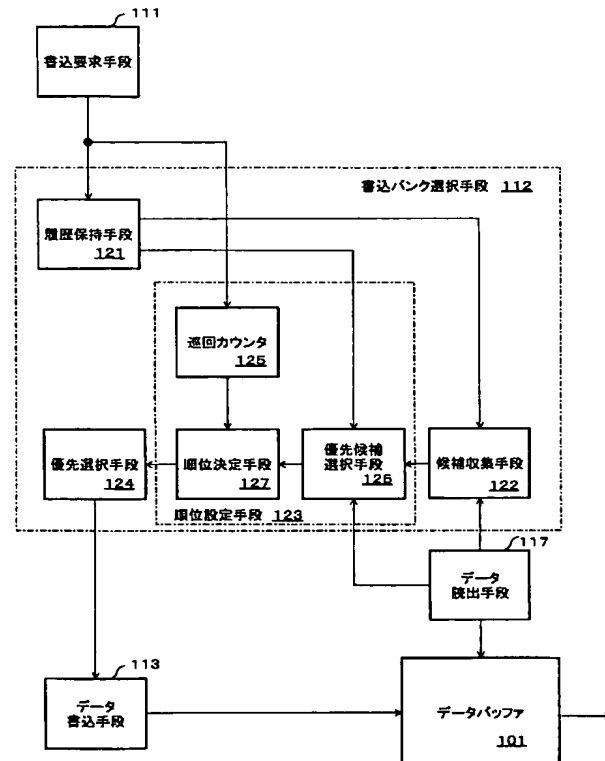


26

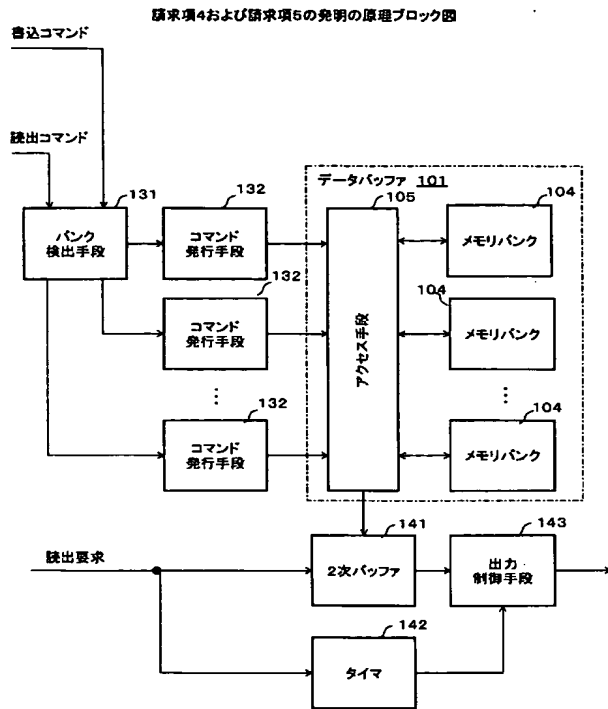
237 順位レジスタ
 238 デコード部
 241 要求振分部
 242 要求保持部
 243 要求読込部
 244 コマンド作成部
 245 レイテンシFIFO
 246 FIFO管理部
 251 読出バンクレジスタ (RB)
 252 書込バンクレジスタ (WB)
 253 バンク抽出部
 254 リフレッシュバンクレジスタ (RF)
 255 コマンド発行部
 256 アドレスカウンタ (AC)
 411 品質判定部
 412 スケジューラ
 413 書込制御部
 414 共通バッファ
 415 読出制御部
 421 FIFO
 422 品質判定部
 423 スケジューラ
 424 バッファ選択部

【図2】

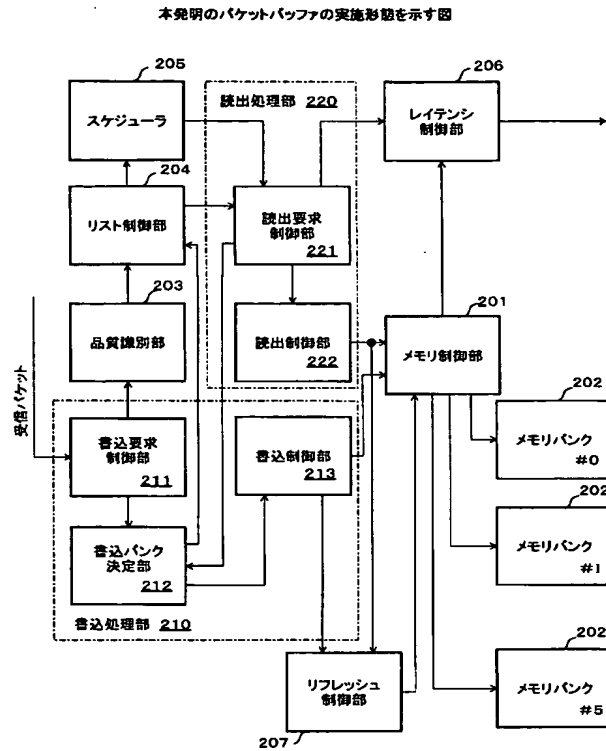
請求項3の発明の原理ブロック図



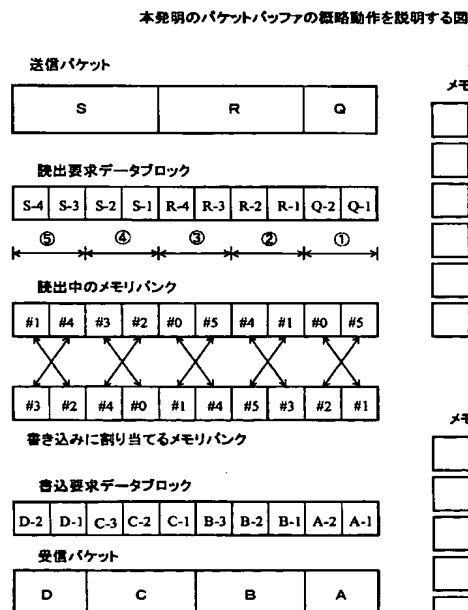
【図 3】



【図 4】



【図 5】



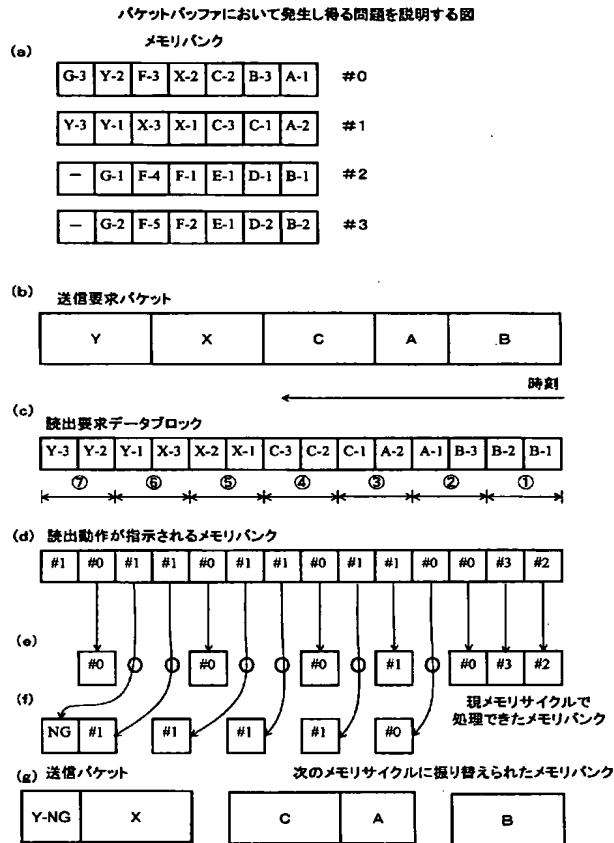
【図 9】

順位演算部の動作を説明する図

メモリバンク(第0期)		メモリバンク(第1期)	
	R-4 Q-2 #0		C-2 #0
	S-4 R-1 #1		C-1 A-1 #1
	T-1 S-1 #2		D-1 A-2 T-1 #2
	T-2 S-2 #3		D-2 B-1 T-2 #3
	T-3 S-3 R-2 #4		C-3 B-3 T-3 #4
	T-4 R-3 Q-1 #5		B-2 T-4 #5

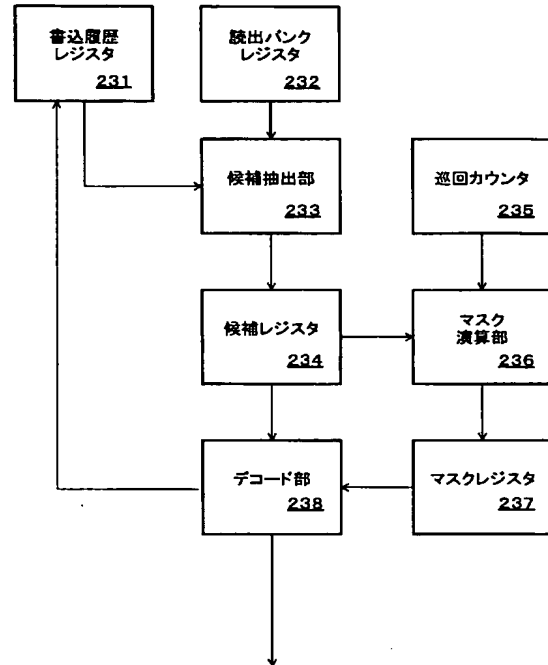
WC	P0	P1	P2	P3	P4	P5
#0 [0]	0 0	Σ 1-5 2	Σ 2-5 1	Σ 3-5 1	Σ 4-5 1	Σ 5 1
#1 [1]	Σ 0 0	0 0	Σ 2-0 1	Σ 3-0 1	Σ 4-0 1	Σ 5-0 1
#2 [0]	Σ 0-1 1	Σ 1 1	0 0	Σ 3-1 2	Σ 4-1 2	Σ 5-1 2
#3 [0]	Σ 0-2 1	Σ 1-2 1	Σ 2 0	0 0	Σ 4-2 2	Σ 5-2 2
#4 [0]	Σ 0-3 1	Σ 1-3 1	Σ 2-3 0	Σ 3 0	0 0	Σ 5-3 2
#5 [1]	Σ 0-4 1	Σ 1-4 1	Σ 2-4 0	Σ 3-4 0	Σ 4 0	0 0

【図6】



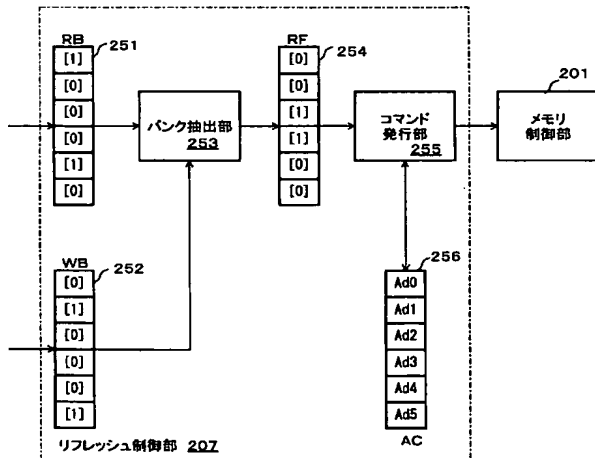
【図7】

書込バンク決定部の詳細構成を示す図



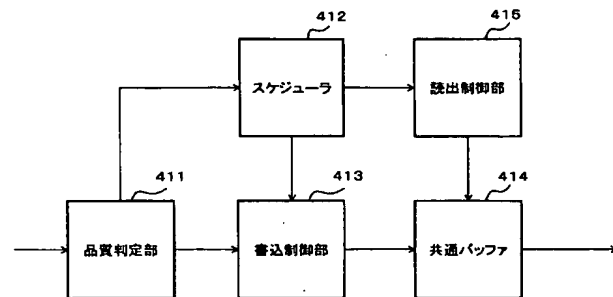
【図12】

リフレッシュ制御部の詳細構成を示す図

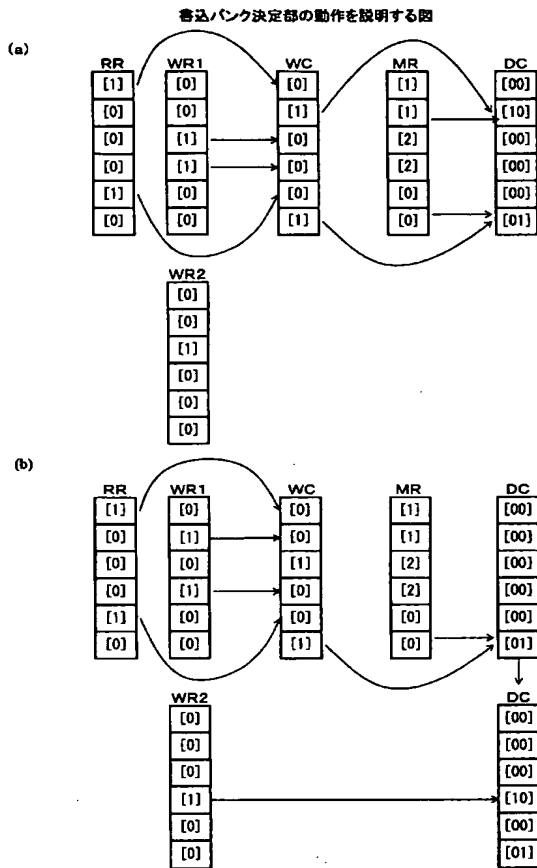


【図13】

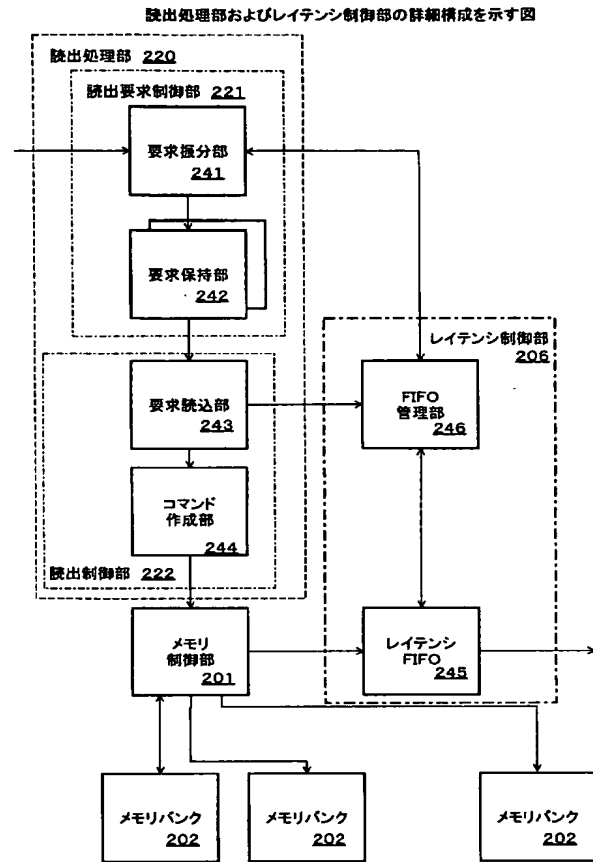
従来のバケットバッファの第1の構成例を示す図



【図 8】

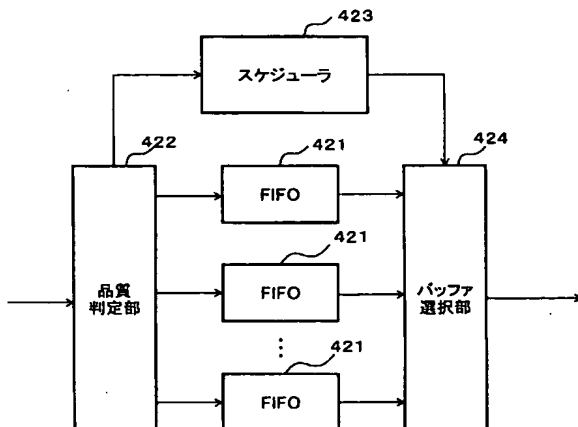


【図 10】

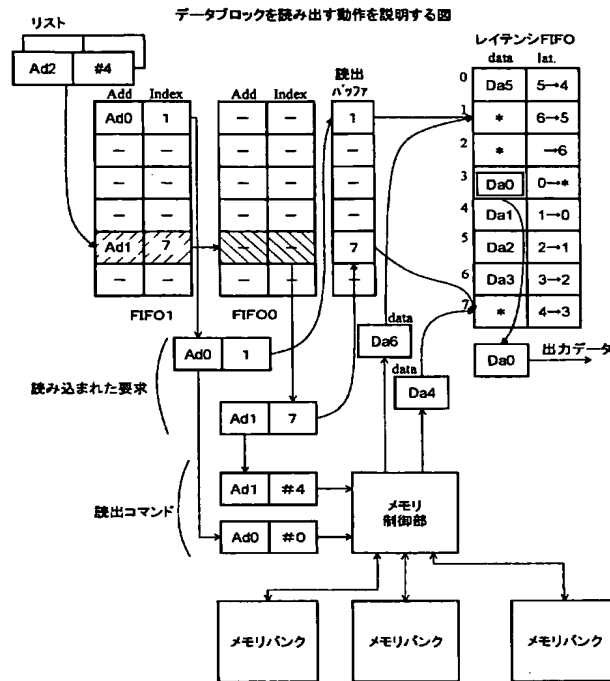


【図 14】

従来のバケットバッファの第2の構成例を示す図



【図11】



フロントページの続き

F ターム(参考) 5K030 GA06 HA08 HB28 KA03 KX18
 KX29
 5K034 AA11 EE11 FF02 HH12 HH17
 HH23 HH27 HH46 HH48 HH49
 HH54 HH65 MM14 MM22 MM25